

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-212907
 (43)Date of publication of application : 01.12.1984

(51)Int.Cl. G05B 19/02

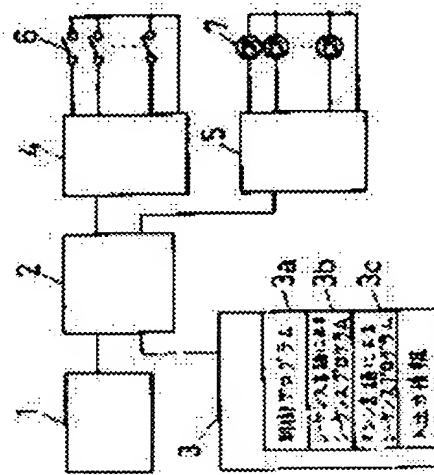
(21)Application number : 58-088048 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 18.05.1983 (72)Inventor : OOTA SOJI

(54) PROGRAMMABLE CONTROLLER

(57)Abstract:

PURPOSE: To increase the arithmetic speed by converting a program written in a sequence language into a program written in a machine language and executing this program by a general-purpose microprocessor.

CONSTITUTION: A general-purpose microprocessor CPU2 compiles a sequence program 3b of a sequence language by a control program 3a in a memory 3 and produces a sequence program 3c of a machine language. Then the CPU2 executes the program 3c and controls the state of an input element 6 fetched through a parallel input port 4, the logical operation to the internal information within a memory 3 and an output element 7 obtained through a parallel input port 5 respectively. In such a way, the arithmetic speed can be increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭59-212907

⑯ Int. Cl.³
G 05 B 19/02

識別記号

府内整理番号
P 7740-5H

⑯ 公開 昭和59年(1984)12月1日

発明の数 1
審査請求 未請求

(全 3 頁)

⑯ プログラマブルコントローラ

門真市大字門真1006番地松下電
器産業株式会社内

⑯ 特 願 昭58-88048

⑯ 出願人 松下電器産業株式会社

⑯ 出願 昭58(1983)5月18日

門真市大字門真1006番地

⑯ 発明者 太田宗司

⑯ 代理人 弁理士 大島一公

明細書

1. 発明の名称

プログラマブルコントローラ

2. 特許請求の範囲

汎用マイクロプロセッサを用いて、メモリに格納されたシーケンスプログラムを実行することにより、入力要素の状態や内部情報に対する論理演算を行ない、この演算結果によって出力要素を制御するプログラマブルコントローラにおいて、前記メモリに格納されたシーケンス言語によるプログラムを前記汎用マイクロプロセッサのマシン言語にコンパイルする手段と、前記シーケンス言語によるプログラムを格納するためのメモリと、マシン言語に変換されたプログラムを格納するためのメモリと、直接前記マシン言語のプログラムを実行する手段と、シーケンス言語によるプログラムを作成または変更する手段を設けたことを特徴とするプログラマブルコントローラ。

3. 発明の詳細な説明

産業上の利用分野

この発明は、汎用マイクロプロセッサを用いてシーケンスプログラムを実行するのにかかるシーケンスプログラムの実行時の演算スピードを大幅に高速化したプログラマブルコントローラに関するものである。

従来例の構成とその問題点

プログラマブルコントローラ（以下 PC と称す）が普及し、導入分野が拡大されるにつれて、PC がシーケンス言語を実行する時の演算スピードの高速化に対する要望が増加してきた。

操作性の向上や、高機能化に対する対応が容易であるため、汎用マイクロプロセッサを使用した PC が普及しているが、従来はシーケンス言語を 1 語ずつ解釈しながら実行するインターフリタ方式をとっていたため、シーケンス言語を実行するための専用演算回路を使用した PC に比べて演算スピード面に関して大幅に劣っていた。

発明の目的

本発明は上記の問題点を解決するために、シーケンス言語で書かれたプログラムをコンパイルし

てマシン言語によるプログラムを作成し、このプログラムを汎用マイクロプロセッサを用いて実行することによって、シーケンス言語を実行するための専用演算回路を持つPCと同程度の演算スピードを得ることを目的とする。

発明の構成

汎用マイクロプロセッサを用いて、メモリに格納されたシーケンスプログラムを実行することにより、入力要素の状態や内部情報に対する論理演算を行ない、この演算結果によって出力要素を制御するプログラマブルコントローラにおいて、前記メモリに格納されたシーケンス言語によるプログラムを前記汎用マイクロプロセッサのマシン言語にコンパイルする手段と、前記シーケンス言語によるプログラムを格納するためのメモリと、マシン言語に変換されたプログラムを格納するためのメモリと、直接前記マシン言語のプログラムを実行する手段と、シーケンス言語によるプログラムを作成または変更するための手段を設けた。

操作部から入力されてメモリに格納されたシーケンスプログラムは、汎用マイクロプロセッサのCPU2によってシーケンス言語によるシーケンスプログラム3bをコンパイルし、メモリ3内のシーケンス言語によるシーケンスプログラム3bとは別の領域にマシン言語によるシーケンスプログラム3cを作成する。次に、CPU2はマシン言語によるシーケンスプログラム3cを実行することにより、パラレル入力ポート4を通じて取り込んだ入力要素6の状態やメモリ3内の内部情報に対する論理演算、およびパラレル出力ポート5を通じての出力要素7の制御を行なう。このように、CPU2はシーケンス言語を1語ずつ解釈しながら実行するのではなく、あらかじめコンパイルされたマシン言語を実行するため、従来のインターパリタ方式と比べると演算スピードは5～10倍程度に向上した。シーケンスプログラムの実行中においても、メモリ3内にはシーケンス言語によるシーケンスプログラム3bが存在するため、シーケンスプログラムの読み出しは容易に行なえる。

操作部1に設けられたSTOP(停止)ボタン

ケンスプログラムは、汎用マイクロプロセッサによりマシン言語にコンパイルされてから実行される。

実施例の説明

第1図は本発明のPCの構成図を、第2図に本発明のPCの動作を表わすフローチャートを示す。

シーケンスプログラムの作成や変更等を行なうための操作部1から入力されたシーケンスプログラムは、汎用マイクロプロセッサ(以下CPUと称す)2およびメモリ3内の制御プログラム3aにより、シーケンス言語によるシーケンスプログラム3bの形でメモリ3に格納される。シーケンスプログラムの変更や読み出し等も、メモリ3内のシーケンス言語によるシーケンスプログラム3bに対して行なわれる。メモリ3は、PCとしての機能を働かせるための制御プログラム3a、シーケンス言語およびマシン言語によるシーケンスプログラム3b、3c等を一括して格納する。

操作部1に設けられたRUN(開始)ボタンが

押されると、先ずCPU2はメモリ3内の制御プログラム3aによってシーケンス言語によるシーケンスプログラム3bをコンパイルし、メモリ3内のシーケンス言語によるシーケンスプログラム3bとは別の領域にマシン言語によるシーケンスプログラム3cを作成する。次に、CPU2はマシン言語によるシーケンスプログラム3cを実行することにより、パラレル入力ポート4を通じて取り込んだ入力要素6の状態やメモリ3内の内部情報に対する論理演算、およびパラレル出力ポート5を通じての出力要素7の制御を行なう。このように、CPU2はシーケンス言語を1語ずつ解釈しながら実行するのではなく、あらかじめコンパイルされたマシン言語を実行するため、従来のインターパリタ方式と比べると演算スピードは5～10倍程度に向上した。シーケンスプログラムの実行中においても、メモリ3内にはシーケンス言語によるシーケンスプログラム3bが存在するため、シーケンスプログラムの読み出しは容易に行なえる。

発明の効果

本発明のPCは、汎用マイクロプロセッサを使用しているため操作性や多機能化への対応性に優れ、またシーケンス言語を実行するための専用演算回路を持たないので、専用演算回路を持つPCと同程度の演算スピードを達成することが可能である。従来の汎用マイクロプロセッサによるPCに比べて、シーケンス言語の実行における演算スピードは5～10倍程度に高速化される。

また、メモリにはシーケンス言語によるシーケンスプログラムを、これをコンパイルしてマシン言語に変換されたシーケンスプログラムの両方が存在するため、前者を用いることによってシーケンスプログラムの実行中においてもシーケンスプログラムの読み出しが容易に行なえる。

4. 図面の簡単な説明

第1図は本発明のプログラマブルコントローラの一実施例の構成図、第2図は本発明のプログラマブルコントローラの動作を表わすフローチャートである。

1 ……操作部 2 ……汎用マイクロプロセッサ
 3 ……メモリ 4 ……パラレル入力ポート
 5 ……パラレル出力ポート 6 ……入力要素
 7 ……出力要素

代理人 弁理士 大島一公

第2図

第1図

